

Family list

1 family member for: JP62209514

Derived from 1 application

1 ACTIVE MATRIX SUBSTRATE

Inventor: MANO TOSHIHIKO; MIYASAKA
TSUGUMITSU

Applicant: SEIKO EPSON CORP

EC:

IPC: G02F1/136; G02F1/1368; G02F1/1362 [+4]

Publication info: JP62209514 A - 1987-09-14

Data supplied from the esp@cenet database - Worldwide

(19) Japan Patent Office (JP)

(12) Laid-Open Disclosure Public Patent Bulletin (A)

(11) Patent Application Laid-Open Disclosure No.: S62-209514

(43) Publication Date: September 14, 1987

(51) Int. Cl. ⁴	Identification Symbol	JPO File Number
G02F 1/133	327	8025-2H
G09F 9/30		6731-5C

Request for Examination: Not made

Number of Claims: 1 (3 Pages in Total)

(54) Title of the Invention: Active Matrix Substrate

(21) Patent Application No.: S61-52844

(22) Patent Application Date: March 11, 1986

(72) Inventor: Toshihiko MANO

c/o Seiko Epson Corporation
3-3-5, Yamato, Suwa-shi

(72) Inventor: Tsugumitsu MIYASAKA

c/o Seiko Epson Corporation
3-3-5, Yamato, Suwa-shi

(71) Applicant: Seiko Epson Corporation

2-4-1, Nishi-Shinjuku, Shinjuku-ku, Tokyo

(74) Agent: Patent Attorney: Mogami Tsutomu, and one other

Specification

Title of the Invention

Active Matrix Substrate

Scope of Claim

An active matrix substrate characterized by comprising:

- a) a plurality of gate lines;
- b) a plurality of source lines orthogonal to the plurality of gate lines;
- c) a thin film transistor having a thin film semiconductor layer formed at an intersection of the gate line and the source line;
- d) a pixel electrode formed at a drain side of the thin film transistor,

wherein the source line is made of two layers of the gate line material and the pixel electrode material.

Detailed Description of the Invention

[Industrial Field of the Invention]

The present invention aims at reducing a wiring resistance, especially by providing a two-layer source line in an active matrix substrate used in a liquid crystal display device, and so forth.

[Prior Art]

FIG 2(a) shows a plan view of one pixel of the conventional active matrix substrate. Also, FIG 2(b) shows a cross sectional view shown by the broken line A'B' in FIG. 2(a). An explanation is made in accordance with the drawings.

An island-like semiconductor thin film layer 201 is formed over an insulating substrate 200 such as a glass or quartz. After forming a gate insulating film over the semiconductor thin film layer, a gate line 202 also serving as a gate electrode is formed. After that, source and drain regions are formed by, for example, an ion implantation method or the like. Next, an interlayer insulating film 203 is formed over an entire surface, and a contact hole 204 is provided. Finally, a transparent conductive film such as ITO is formed by a sputtering method, etc., and a source line and a pixel electrode are formed by patterning.

The processes and the structure of the conventional active matrix substrate have been shown above.

[Problem to be Solved by the Invention]

However, in the conventional structural processes, since the source line is formed of the same material as the pixel electrode, a sheet resistance becomes higher, so that a wiring resistance of the source line becomes higher. For example, when ITO is used while keeping its transparency of 80% or more, the sheet resistance is 10-20 Ω/\square , which is one to two digits higher than that of metal materials such as Al. If the ITO is used as the source line, the wiring resistance will be several dozen k Ω though it depends on L/W. High wiring resistance in the source line can cause insufficient contrast and resolution of a liquid crystal display device since sufficient signals cannot be written in. Further, when a metal wiring having a lower sheet resistance is used, the number of processes increases, which can lead to cost increase.

The present invention aims at decreasing the source line without increasing the number of processes by removing the above disadvantages. Concretely, a material used for a gate line is formed in a source line region excluding a region intersecting the gate line at the PE process, and finally, the source line made of pixel electrode material such as ITO is formed of two-layer structure having contacts with the material.

[Means for Solving the Problem]

The active matrix substrate of the present invention typically comprises:

- 1) a plurality of gate lines;
 - 2) a plurality of source lines orthogonal to the plurality of gate lines;
 - 3) a thin film transistor having a thin film semiconductor layer formed at an intersection of the gate line and the source line;
 - 4) a pixel electrode formed at a drain side of the thin film transistor,
- wherein the source line is made of two layers of the gate line material and the pixel electrode material.

[Embodiment]

The active matrix substrate of the present invention is basically shown by a plan view and a cross sectional view in FIGS. 1(a) and (b). Here, 100 is an insulating substrate such as a glass or

quartz; 101 is a semiconductor thin film constituting a thin film transistor; 102 is a gate line; 102' is a first layer of the two-layer source line, which has the same material as the gate line; 103 is an interlayer insulating film; 104 is a contact hole formed in the interlayer insulating film; 105' is a transparent conductive film such as ITO constituting a pixel electrode; 105 is a second layer of the source line made of the same material as the pixel electrode. Here, FIG. 1(a) shows a plan view of one pixel and FIG. 1(b) shows a cross sectional view shown by the broken line AB in FIG. 1(a). FIG. 3 is explained as follows in accordance with process orders.

First, an island-like semiconductor thin film 101 such as polycrystalline silicon is formed over an insulating substrate 100 such as a glass or quartz. A gate insulating film 101' is formed thereon by a thermal oxidation, etc (FIG 3(a)).

Next, a gate wiring 102 and a first layer of a source line 102' are formed of polycrystalline silicon or the like having an impurity of H-type (or P-type), and source / drain regions are formed by an ion implantation method, etc (FIG 3(b)).

Next, an interlayer insulating film 103 such as HSG or PSG is formed over an entire surface, and then a contact hole 104 is formed at the source / drain regions and on the first layer of the source line (FIG 3(c)).

Finally, a pixel electrode 105' and the second layer of the source line 105 are formed of a transparent conductive film such as ITO (FIG 3(d)).

The structure and the manufacturing process of the active matrix substrate in accordance with the present invention have been shown above.

[Effect of the Invention]

The effect of the present invention is that it is possible to lower the wiring resistance by increasing one step and making the source wiring the two-layer structure, and actually, the wiring resistance reduced by about 50% compared to the conventional wiring resistance. As a result, the problems such as insufficient contrast and resolution when used in a liquid crystal display were eliminated.

Brief Description of Drawings

FIG. 1 is a plan view (a) and a cross sectional view (b) of one pixel of the active matrix substrate in accordance with the present invention.

FIG. 2 is a plan view (a) and a cross sectional view (b) of one pixel of a conventional active matrix substrate.

FIGS. 3(a) to (d) show a cross sectional view of each process in accordance with the present invention.

- | | |
|-----------------------------------|-----------------------------------|
| 100 ~ insulating substrate | 101 ~ semiconductor thin film |
| 101' ~ gate insulating film | |
| 102 ~ gate line | 102' ~ first layer of source line |
| 103 ~ interlayer insulating film | |
| 104 ~ contact hole | |
| 105 ~ second layer of source line | |
| 105' ~ pixel electrode | |

④ 日本国特許庁 (JP) ④ 特許出願公開
 ④ 公開特許公報 (A) 昭62-209514

④ Int. Cl.⁸ 識別記号 庁内整理番号 ④ 公開 昭和62年(1987)9月14日
 G 02 F 1/133 3 2 7 8205-2H
 G 09 F 9/30 6731-5C
 審査請求 未請求 発明の数 1 (全3頁)

発明の名称 アタタイプマトリクス基板

④ 特 願 昭61-52844
 ④ 出 願 昭61(1986)3月11日

④ 発 明 者 真 野 敏 彦 東京都大和3丁目3番5号 セイコーエプソン株式会社内
 ④ 発 明 者 宮 沢 雄 光 東京都大和3丁目3番5号 セイコーエプソン株式会社内
 ④ 出 願 人 セイコーエプソン株式
 会社
 ④ 代 理 人 弁理士 最 上 務 外1名

明 細 書

発明の名称

アタタイプマトリクス基板

発明の要旨

- 1) 複数のゲート線
- 2) 該ゲート線に直交する複数のソース線
- 3) 該ゲート線と該ソース線の交点に形成される
 導電性材料層を有する複数のトランジスタ
- 4) 該導電性トランジスタのドレイン側に形成され
 る導電性層

以上の如く構成されるアタタイプマトリクス基
 板に於いて、該ソースラインは、該ゲート線材料
 と、該導電性材料の2層から成ることを特徴と
 するアタタイプマトリクス基板。

発明の利便性説明

(産業上の利用分野)

本発明は、液晶表示装置等に用いられるアタ
 イプマトリクス基板に於いて、特にソース線を

形成することにより、配線抵抗の低減も図ったも
 のである。

(従来の技術)

従来のアタタイプマトリクス基板の1画素分の
 平面図を第1図(a)に示す。又、同図に於いてA・B'
 の破線で示す断面線と第2図(b)に示す、断面に於
 って説明する。

ガラス、石英等の絶縁基板200上に島状に半導
 体薄膜201を形成する。ゲート絶縁膜を該半
 導体薄膜上に形成した後、ゲート電線を兼ねるゲ
 ート線202を形成する。しかる後、例えばイオ
 ン注入法等によりソース、ドレイン領域を形成す
 る。次に、層間の絶縁膜203を全面に形成し、
 コンタクトホール204を開ける。最後に170
 等の透明導電膜を、スパッタ法等で形成し、ソー
 ス線、ドレイン線をパターン形成する。

以上が従来のアタタイプマトリクス基板の工程、
 及び構造である。

(発明が解決しようとする問題点)

しかし従来の製造工程では、ソース線を導電電

特種圖 62-209514 (2)

鋼と同一の材料で形成する為、シート抵抗が大きくなり、従ってソース層の配線幅が小さくなる。例えば、 γ 20で形成した場合、従来値が γ 5以上を要した時のシート抵抗は γ 10~20 Ω /□であり、金属材料、例えば γ 20等に出して1~約2倍大きい。ソース層に用いた場合、 γ 40に要する配線幅は γ 20 Ω の配線抵抗と同等と見做す。ソース層の配線抵抗が大きいため、十分に電流を導き込むのが困難な状況の場合、コンタクト不足、膜抵抗不足の原因となる。又、シート抵抗の小さい金属材料を用いると、工費が増し、コストアップの原因となる。

そこで本発明は以上の如き欠点を生じ、工費を増すことを免れ、ソーララインの取扱を簡便なことを目的とする。具体的には、ゲート部に用いる材料をアルミ工務時に、ゲート部と突接する領域以外のソーラ部領域に形成し、部分的にエタリ等の溶剤をゲート部に形成するソーラ部とコンタクトを形成する材料部とに形成するものである。

(同製造を解決する為の手帳)

は解屈地盤に形成されるコンクリートホール、105は固定電線を構成する130等の透明導電膜、108は、固定電線と同一材料で形成される2層目のソース線である。ここで第一層は一面分の平面膜であり、第二層は第一層に於けるA部の膜で欠け断面部である。

以下工價順に従って、概算額に於いて説明する。

マテ、ガラス、石英等の絶縁基板100の上に、多結晶シリコン等の半導体層101を島状に形成する。その上に酸化膜等によるゲート絶縁膜101'を形成する(図3(a))

次に、ニ酸（あるいは下酸）の不純物を有する多結晶シリコン膜により、ゲート配線102、及び一層目のソースライン103を形成。その際イオン注入法等によりソース、ドレイン領域を形成する。（図3（a））

次にK80、780等の増産設備103を全部に完成、しかる後、ソース・ドレイン領域、及び1層目のソース線上にコンタクトホール104を形成する。（図3参照）

本発明のアダプティブマトリクス装置は、具体的には、

- 1) 数値のゲート値
- 2) ゲート値と直交する数値のソース値
- 3) ゲート値とソース値の交点に形成される
形質半端体価を有する原価トランジスタ
- 4) 制御トランジスタのドレイン側に形成される
表面電層

以上から構成されるアナライザマトリクス基板であり、図ソースラインは、図ゲート電極材料と図画素電極材料の境界面であることを特徴とするものである。

(零 抽 四)

平明網によるアタキブマトリクス面は、面的には第1面網、側には示す、平面網、及び断面網から成る。ここで、100はガラス、石英等の熱伝導板、101は、接点トランジスタを溶着する半導体結膜、102は、ゲート膜、102'はゲート膜と同一材料である、2は銀・銀銅合金の1層目であり、103は樹脂被膜である。104

最後に、I T O 等の透射率電阻により、面素電阻 108Ω 、2 端子のソースライン 108Ω を導出する。(表 3 参照)

以上が、本稿例によるアタライズマトリクス表の、構造及び編集方法である。

（說明和效果）

本報明の結果は、工賃を増すとはいへず、ソース組を半増倍にすることにより、配給低減を小さくできることであり、実際に従来の配給低減を約四割小さくすることができた。その結果、派兵費削減に用いた時の、コントラスト不足、映像不足の問題をなくすることができた。

圖 10-10 圖解說明

第1図は本発明のブタイゾマトリクス基板の一面状分を示す平面図と、断面図である。

第 3 図は従来のアサチイブマトリクス部材の一構成分を示す平面図(左)と、断面図(右)である。

この図面一列は本資料の土層と地層断面を示したものである。

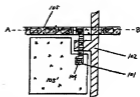
特開昭62-203514 (B)

- 100～絶縁基板 101～半導体層
101'～ゲート絶縁膜
102～ゲート線 102'～1層目のソース線
103～漏れ絶縁膜
104～コンタクトホール
105～2層目のソース線
105'～漏れ電極

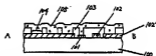
以 上

出 願 人 ケイコエプソン株式会社

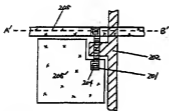
代 理 人 弁 理 士 堀 上 勝 雄 1 名



第1図 (a)



第1図 (b)



第2図 (a)



第2図 (b)



第3図 (a)



第3図 (b)



第3図 (c)



第3図 (d)